

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

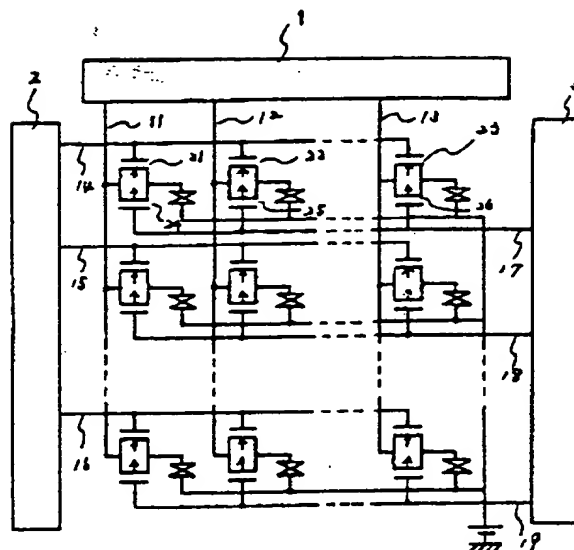
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

Patent Abstracts of Japan

PUBLICATION NUMBER : JP63096636
 PUBLICATION DATE : 27-04-88
 ABSTRACT PUBLICATION DATE: 08-09-88
 ABSTRACT VOLUME : 012334
 APPLICATION DATE : 13-10-86
 APPLICATION NUMBER : JP860242393
 GROUP : P756
 APPLICANT : SEIKO EPSON CORP
 INVENTOR : MATSUEDA YOJIRO
 INT.CL. : G02F1/133
 TITLE : ACTIVE MATRIX PANEL



ABSTRACT : PURPOSE: To provide the resolution in a vertical direction equiv. to the resolution of a CRT without generating flickers by connecting n-type and p-type TFTs respectively to picture element electrodes for driving a liquid crystal by an electric field with a counter electrode and operating the same alternately by respective drivers.

CONSTITUTION: Data lines 11-13 are driven and scanned by the X driver 1, the n-type thin film transistors TFTs 21-23 by the Y driver 2 and the p-type TFTs 24-26 by the Y driver 3, respectively. Scanning lines 14-16 are connected to the gate electrodes of the p-type TFTs and scanning lines 17-19 to the gate electrodes of the n-type TFTs. The n-type TFTs turn on when the scanning line 14 attains a high level and the p-type TFTs turn on when the scanning line 17 attains a low level, respectively. Video signals are subjected to AC inversion at every one frame. The positive polarity signal is written by the p-type TFTs and the negative polarity signal by the n-type via the driver 1. The voltage to be impressed to the liquid crystal is thereby made symmetrical in positive and negative and since there are no frequency components below 50Hz in spite of the AC inversion at every frame. The generation of the flickers is, therefore, obviated and the high-accuracy image screen is obtained with the small-sized device.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-96636

⑫ Int. Cl.

G 02 F 1/133

識別記号

3 2 7

庁内整理番号

8205-2H

⑬ 公開 昭和63年(1988)4月27日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 アクティブマトリクスパネル

⑮ 特 願 昭61-242393

⑯ 出 願 昭61(1986)10月13日

⑰ 発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1 発明の名称

アクティブマトリクスパネル

2 特許請求の範囲

(1) 絶縁基板上に、複数のデータ線、走査線、及びそれらの交点に配置されたMOS型の薄型トランジスタ(以下TFTと略記)と、前記TFTに接続された画素電極とを備え、前記画素電極と対向電極との間の電界で液晶を駆動して成るアクティブマトリクスパネルにおいて、前記画素電極にそれぞれM型とP型の2つのTFTが接続されていることを特徴とするアクティブマトリクスパネル。

(2) 前記M型のTFTを駆動するためのドライバーと前記P型のTFTを駆動するためのドライバーとを備え、前記2つのドライバーを交互に動作させることを特徴とした特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) ビデオ信号を1フレームごとに交流反転し、負極性のビデオ信号をM型のTFTで、正極性のビデオ信号をP型のTFTで書き込み、走査線を1本おきに選択し、インタレース駆動することを特徴とした特許請求の範囲第1項記載のアクティブマトリクスパネル。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリクスパネルの構造及びその駆動方法に関する。

〔従来の技術〕

従来のアクティブマトリクスパネルは「日経エレクトロニクス1984年9月10日号「商品化された液晶ポケットカラーテレビ」」2-1-1-240に示すようなものである。第2図はM型のTFTアレイを用いたアクティブマトリクスパネルの回路図であり、31はデータ線41、42、43を駆動するエドライバーであり、32は走

走線44、45、46を駆動するエドライバーである。51、52、53はN型のエドである。

〔発明が解決しようとする問題点〕

しかし、前述の従来例には以下に述べるような問題点がある。周知のようにM型SCのビデオ信号はインタレースされた2つのフィールドから成り、これを含めた1つのフレームで1枚の絵を形成している。一方、液晶は交流駆動する必要があるため、前述の従来例ではフィールドごとに交流反転した信号を用いている。この方式ではインタレースされた信号を同じ行に書き込むため縦方向の解像度は本来の半分以下となってしまう。

そこで、フレームごとに信号を反転させて、第1フィールドで奇数行に、第2フィールドで偶数行に書き込めば本来の解像度が得られるはずである。ところがこの方式は従来のアクティブマトリクスパネルには使用できない。なぜなら、1つのエドで正極性と負極性の信号を書き込む場合、ビデオ信号の中心電位に対して対称な信号であって

大きさはビデオ信号によって大きく変動する。従って前述のような非対称を生じるのである。

そこで本発明は以上のような問題点を解決するもので、その目的とするところは、ビデオ信号を正極性で書き込む場合と負極性で書き込む場合に液晶に印加される電圧が対称になるようなアクティブマトリクスパネルの構造と駆動法を与えることにより、フリッカーを生じることなくインタレースされた画面を再現し、0.8T並みの縦方向の解像度を持つアクティブマトリクスパネルを実現させることにある。

〔問題点を解決するための手段〕

本発明のアクティブマトリクスパネルは、画素電極にM型とP型の2つのエドが接続され、M型のエドを駆動するためのドライバーと、P型のエドを駆動するためのドライバーとを備え、前記2つのドライバーを交互に動作させることを特徴とする。

も、液晶に印加される電圧は非対称となる。すなわち2フレームを1周期とする1.5Hの成分を生じるため、それが改しフリッカーとして観察される。この現象を避けるために従来のアクティブマトリクスパネルはフィールドごとに反転した信号を用いているわけである。

この非対称性の原因を次に述べる。エドがデータ線の信号を画素電極に書き込みロミスする期間、液晶の容量とエドの容量との容量分割により画素電極電位が変動する。この変動の大きさは

$$\Delta V = V_0 \cdot C_1 / (C_1 + C_2)$$

と表わされる。V₀はゲート電位の変化分、C₁はエドのゲート・ソース間容量、C₂は画素電極と対向電極間の液晶の容量である。M型エドではΔVは負の方向へ、P型エドでは正の方向へ変動するので、このΔVの大きさが一定であれば、前述のような非対称性は存在しない。ところが、C₂は液晶が誘電異方性を持つため、印加電圧によって大きく変動する。また、C₁もゲート・ソース間の電圧によって変動するため、ΔVの

〔作用〕

本発明の上記の構成によれば、ビデオ信号の中心電位に対して正極性と負極性で書き込む場合のエドのバイアス状態が対称となり、液晶に印加される電圧も対称となる。従ってビデオ信号を1フレームごとに交流反転し、インタレース駆動をしてもフリッカーを生じない。

〔実施例〕

第1図は本発明の実施例におけるアクティブマトリクスパネルの回路図である。1はデータ線11、12、13を駆動するエドライバーであり、2はM型エドを走査するエドライバー、3はP型エドを走査するエドライバーである。走査線13、14、15はM型エド、走査線17、18、19はP型エドのゲート電極に接続されており、走査線14がハイレベルになるとM型エド21、22、23が0Vし、走査線17がローレベルになるとP型エド24、25、26が0Vする。次にこのアクティブマトリクスパネル

の各部の電位を示した第3図を用いて動作を説明する。同図(α)はビデオ信号であり1フレームごとに交流反転したものを用いている。各フレームの第1フィールドでは奇数行の、第2フィールドでは偶数行のデータが並んでおり、エドライバを介して各データ素に信号が書き込まれる。

(3)、(c)、(d)、(e)はそれぞれ第1図の走査線14、15、17、18の電位波形であり、(f)、(g)はそれぞれ第1行および第2行の画素電位の電位波形である。これからわかるように本実施例においては正極性のビデオ信号をP型のTFTで、負極性のそれをN型のTFTで書き込む。こうすることによって液晶に印加される電圧が正負で対称となることを第4図を用いて説明する。同図62、63、64、65はそれぞれ第3図の(α)、(3)、(d)、(f)に対応している。61はビデオ信号62の中心電位であり、対向電極の電位もこの電位と等しくしておく。TFTがOFFする期間には、液晶の容量とTFTの容量の容量分割により瞬間的に画素電

位電位65が変動する。この大きさは、

$$\Delta V_+ = V_{0+} \cdot C_p \cdot (C_p + C_+)$$

$$\Delta V_- = V_{0-} \cdot C_n \cdot (C_n + C_-)$$

となる。ここで V_{0+} および V_{0-} はそれぞれゲート電極電位64および63の変動分であり、本実施例においては図に示すように $|V_{0+}| = |V_{0-}|$ である。 C_p および C_n はP型およびN型TFTのゲート・ソース間容量であるが、同じ形状のTFTであれば中心電位61に対して対称な信号を書き込む場合のバイアス電圧の絶対値は等しくなるため $C_p = C_n$ が成立する。さらに C_+ および C_- はそれぞれ正極性と負極性の電圧を印加した場合の画素電極と対向電極間の液晶の容量であるが、これも中心電位61に対して対称な信号を書き込む場合には常に $C_+ = C_-$ が成立する。従って $|\Delta V_+| = |\Delta V_-|$ となり液晶に印加される電圧は正負で対称となる。従ってフレームごとに交流反転しても30Hz未満の周波数成分が存在しないためフリッカーを生じない。

〔発明の効果〕

以上述べたように本発明におけるアクティブマトリクスパネルは、フリッカーを生じることなくインターレース駆動することができるため、垂直解像度が大幅に増大し、CRT並みの解像度を出すことができる。しかも外部回路は従来のものとほとんど変わらないため、非常にコンパクトな装置で高解像度の画面を持つアクティブマトリクスパネルが実現できる。

4. 図面の簡単な説明

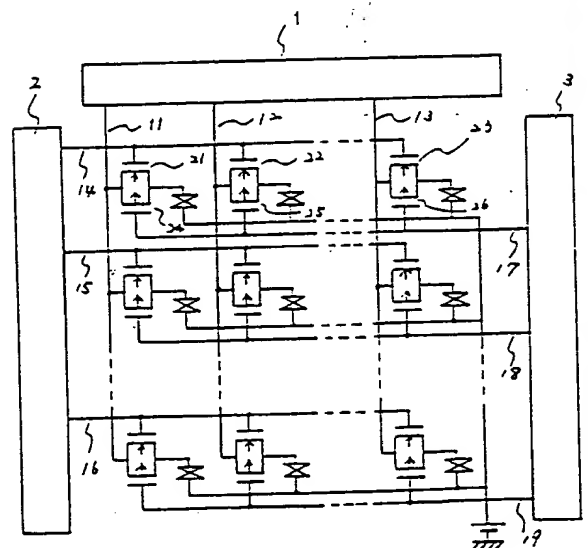
第1図はアクティブマトリクスパネルの回路図。

第2図は従来のアクティブマトリクスパネルの回路図。

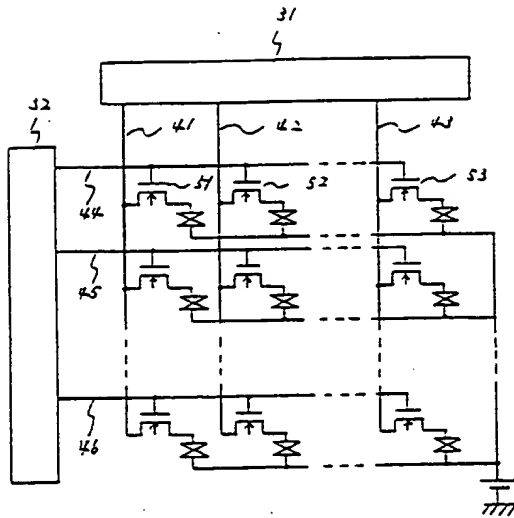
第3図(α)～(g)、第4図はアクティブマトリクスパネルの各部の動作電位波形。

21、22、23……N型TFT

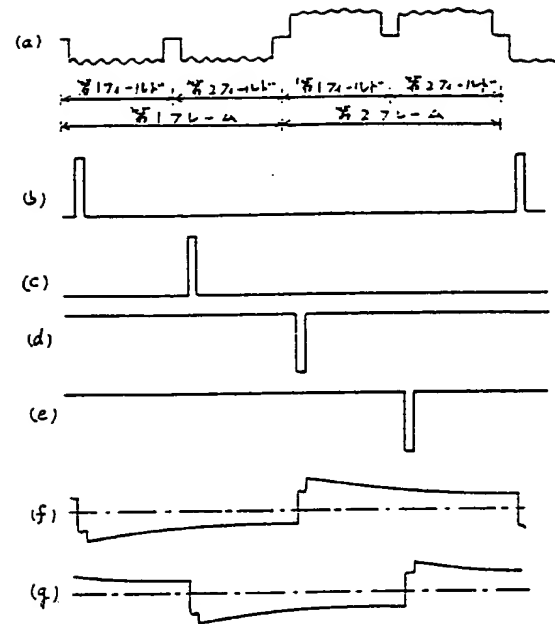
24、25、26……P型TFT



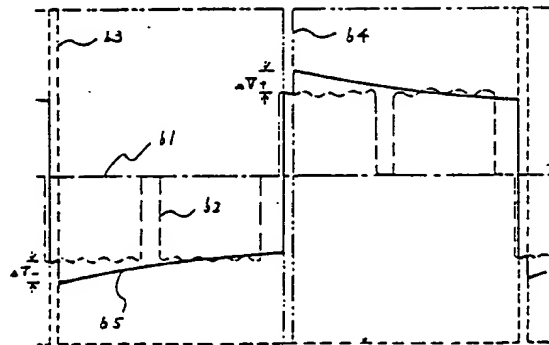
第1図



第 2 図



第 3 図



第 4 図